

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

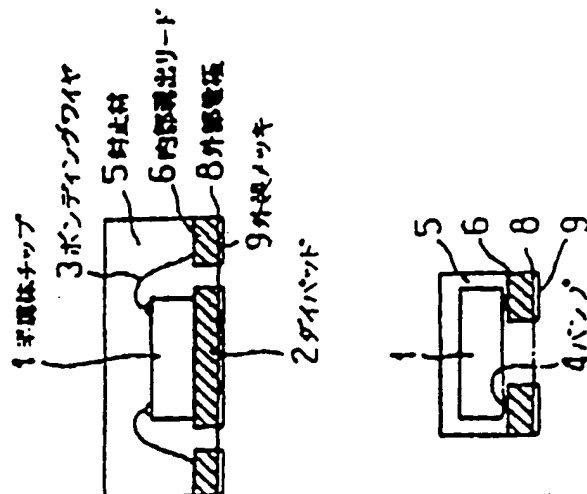
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

★SONY U11 93-202142/25 ★JP05129473-A  
 Mould package flat-face mounting type semiconductor device -  
 exposes bottom surfaces of die pad and inner leads of bottom surface  
 of mould package semiconductor device to be directly connected to  
 circuit pattern of PCB NoAbstract  
 SONY CORP 91.11.06 91JP-289882  
 (93.05.25) H01L 23/28, 23/12, 23/28, 23/50  
 (6pp Dwg.No.1/13)  
 N98-155203 U11-D01A3 U11-D03A9



© 1993 DERWENT PUBLICATIONS LTD.

Derwent House, 14 Great Queen Street, London WC2B 5DF England, UK  
 US Office: Derwent Inc., 1313 Dolley Madison Blvd., Suite 401, McLean VA 22101, USA  
 Unauthorised copying of this abstract not permitted



DERWENT  
 Scientific and Patent Information

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-129473  
(43)Date of publication of application : 25.05.1993

(51)Int.Cl. H01L 23/28  
H01L 23/12  
H01L 23/50

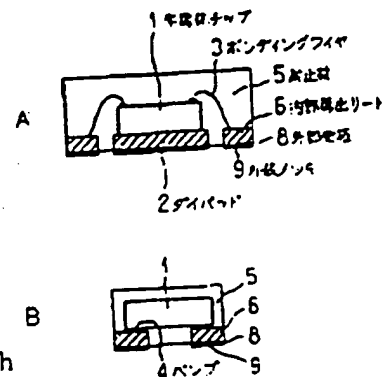
(21)Application number : 03-289882 (71)Applicant : SONY CORP  
(22)Date of filing : 06.11.1991 (72)Inventor : FUKAZAWA HIROYUKI

## (54) RESIN-SEALED SURFACE-MOUNTING SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the size and thickness of the title semiconductor device while a mechanism which prevents the deformation of external electrodes or fluctuation of the electrodes at the machining time is secured by using the rear sections of inner leads connected to internal wiring as external electrodes at the time of directly mounting the semiconductor device.

**CONSTITUTION:** A semiconductor chip 1 is placed on the die pad 2 of a lead frame. After electrically connecting the chip 1 to inner leads 6, the rear of which become external electrodes 8, through bonding wires 3, the upper part is sealed with a resin. Similarly, the chip 1 is electrically connected to the leads through bumps 4. In other words, the rear of the electrically connected inner leads 6 are used as the electrical connecting sections 8 of the semiconductor device to the outside. Therefore, the size of the semiconductor device can be reduced to nearly the same size as that of the chip 1. In addition, the thickness of the semiconductor device can also be reduced.



### LEGAL STATUS

[Date of request for examination] 28.10.1998  
[Date of sending the examiner's decision of rejection] 30.11.1999  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] The resin-seal surface mount type semiconductor device with which the rear-face section of the internal derivation lead to which the aforementioned internal wiring is connected is characterized by the external electrode and bird clapper at the time of mounting a direct semiconductor device in the resin-seal surface mount type semiconductor device which carries a semiconductor device, wires an internal derivation lead in the electrode on the front face of an element, and comes to carry out the resin seal of the wiring section and the aforementioned semiconductor device section.

[Claim 2] The resin-seal surface mount type semiconductor device according to claim 1 characterized by the rear face of a semiconductor device being exposed to the outside of a semiconductor device through resin material other than a direct or closure resin.

[Claim 3] The resin-seal surface mount type semiconductor device according to claim 1 characterized by forming more highly one step than the field of an external electrode the field through the rear-face section of a semiconductor device, or resin material other than a closure resin.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the surface mount type semiconductor device by which the resin seal was carried out.

[0002]

[Description of the Prior Art] It connects electrically to the interior derivation lead 6 of direct by the connection electrode called bump 4 as it connects electrically to the internal derivation lead 6 by the bonding wire 3 as a semiconductor chip 1 is carried in the die pad 2 of the leadframe made with the metal (0.1-0.3mm of board thickness [ For example, being 42%nickel/Fe alloy. ]) as a former and surface mount type semiconductor device shown to drawing 10 in the cross section of the example and it is shown in drawing 10 A, or shown in drawing 10 B. And after closing these with the sealing agents 5, such as an epoxy resin, the external derivation lead 7 and the external electrode 8 are bent and formed in a necessary configuration.

[0003] And as shown to drawing 11 A in a side elevation, as shown in a soldering paste 13 or drawing 11 B, adhesives 14 are applied to the pattern of a substrate 12 at the substrate 12, alignment of the surface mount type semiconductor device is carried out to this, and it is put on it. When a soldering paste 13 is used like drawing 11 A, this substrate 12 is heated by hot blast or infrared radiation, and is soldered. On the other hand, when adhesives 14 are used like drawing 11 B, it solders by being immersed in a solder tub.

[0004] However, the surface mount type semiconductor device mentioned above Since bending of the external derivation lead 7 and the external electrode 8 is carried out on the outside of the sealing agent 5 shown in drawing 10 A and B, According to the force from the variation of this process tolerance, and the outside after fabrication, as shown in the perspective diagram of drawing 12 A As shown in the variation of the position of the height direction of the inferior surface of tongue of the external electrode 8 to the base of the sealing agent 5 of a semiconductor device, and the plan of drawing 12 B, it is easy to produce deformation of the external derivation lead 7 to a longitudinal direction and the external electrode 8. These become a cause and a suitable surface mount becomes impossible the time of the above-mentioned substrate mounting. Or the technical problem of it becoming impossible to flow electrically occurred.

[0005] Then, in order to cancel this technical problem, like the semiconductor device currently indicated by JP,3-3354,A shown in drawing 13, in the external electrode 8, it is the same field as the base of a sealing agent 5, and the configuration which drew in parallel with the base is proposed.

[0006]

[Problem(s) to be Solved by the Invention] by the way, it miniaturizes and electronic equipment thin-shape-izes in recent years -- having -- \*\*\*\*\* -- the semiconductor device used is also required as achieving a miniaturization and thin shape-ization as much as possible, and it has a size of the semiconductor chip by which the size of a sealing agent is carried in the interior closely now, and the thin shape semiconductor device 1.0mm or less has been put in practical use also for thickness However, in such small and the thin shape semiconductor device, the technical problem that a size, and about [ becoming large far from a semiconductor chip size ] and thickness will become thick occurred in a configuration which is indicated by JP,3-3354,A shown in above-

mentioned drawing 13. while this invention maintains the mechanism in which deformation of an external electrode or the variation at the time of processing is prevented -- moreover -- a miniaturization -- a thin shape -- it aims at offering the resin-seal surface mount type semiconductor device [izing / a semiconductor device]

[0007]

[Means for Solving the Problem] In order to solve a technical problem which was described previously, this invention used as the electrical installation portion, i.e., external electrode, with the exterior of a semiconductor device the rear face of an internal derivation lead electrically connected with an internal derivation lead by a semiconductor chip, a bonding wire, or the bump using the leadframe which has a die pad in the same flat surface.

[0008]

[Function] Therefore, since the resin-seal surface mount type semiconductor device of this invention used as the electrical installation portion, i.e., external electrode, with the exterior of a semiconductor device the rear face of an internal derivation lead electrically connected with an internal derivation lead by a semiconductor chip, a bonding wire, or the bump using the leadframe which has a die pad in the same flat surface, it can make the size of a semiconductor device small to the almost same size as the size of a semiconductor chip. Moreover, thickness of a semiconductor device can be made thin.

[0009]

[Example] Hereafter, the resin-seal surface mount type semiconductor device of the example of this invention is explained in full detail with a drawing. The cross section of the 1st example is shown in drawing 1. First, drawing 1 A lays a semiconductor chip 1 in the die pad 2 of a leadframe with a thickness of 0.1-0.3mm, connects electrically the internal derivation lead 6 with which a semiconductor chip 1 and a rear face serve as the external electrode 8 by the bonding wire 3, and has structure which carried out the resin seal of the internal derivation lead 6 with the bump 4 similarly. Although there is an advantage that the electrical installation by the bump 4 can make still smaller the size of the structure top sealing agent 5 from the electrical installation method by the bonding wire 3, since the thickness of the resin of the inferior surface of tongue of a semiconductor chip 1 also becomes thin so that the board thickness of a leadframe is thin, it becomes easy to generate faults, such as a void at the time of a resin seal (foam).

[0010] The creation method of the semiconductor device of the 1st example is briefly explained using the cross section of drawing 2 and drawing 3. First, the cross section of drawing 2 explains the 1st creation method. As shown in drawing 2 A, the internal derivation lead 6 connects electrically the semiconductor chip 1 and the internal derivation lead 6 with a die pad 2 by the bonding wire 3 after laying a semiconductor chip 1 using the leadframe in a coplanar by the same method as usual. Next, the sealing agents 5, such as an epoxy resin, are used and closed. And it is made the configuration which shaves off the rear-face resin section of a semiconductor device, and is shown in drawing 2 B. Then, in order to improve the soldering nature at the time of performing substrate mounting, it becomes like drawing 2 C by giving sheathing plating 9 of solder etc. to the portion which the external electrode 8 exposed. In this way, if the excessive portion of the outside of the external derivation lead 7 of the semiconductor device which was able to be done is cut using metal mold etc., the semiconductor device of this example shown in drawing 2 D will be obtained. Below, the cross section of drawing 3 explains the 2nd creation method. After laying a semiconductor chip 1 and connecting electrically like the 1st creation method, it becomes the configuration shown in drawing 3 A by performing a resin seal with the metal mold which has a cavity (\*\*\*\*\*) only in the upper surface. Then, the semiconductor device of this example shown in drawing 3 B is obtained like the 1st creation method by performing cutting of the sheathing plating 9 and the external derivation lead 7. Although pretreatment called deburring -- by high-pressure water etc. is needed before giving sheathing plating 9 since the barricade at the time of a resin seal etc. may have adhered to the portion which is going to give sheathing plating 9 in the case of this creation method, the work of shaving off a stiff closure resin like the 1st creation

10 01 2003

method is omissible.

[0011] The cross section of the 2nd example is shown in drawing 4. Although not structurally divided \*\*\*\*\* with the 1st three operations, the thickness of the die pad 2 which lays a semiconductor chip, and the external electrode 8 consists of very thin (about 10-30 micrometers) conductors, such as copper foil. The structure of this example becomes possible [making thin hundreds of micrometers thickness of a semiconductor device compared with the 1st example]. Moreover, since the rear face of a semiconductor chip 1 has structure exposed outside through direct or a metal part, there is also an advantage of being easy to miss the heat generated from a semiconductor device, after substrate mounting at the time of use. The creation method of the semiconductor device of this 2nd example is briefly explained using the cross section of drawing 5. Although a leadframe is used in the 1st example mentioned above Laminated thin conductors, such as copper foil, on the films 10, such as a polyimide which the hole opened partially as shown in drawing 5 A by this example, and a die pad 2, the internal derivation lead 6, and the external wiring 11 are formed. this conductor -- a semiconductor chip 1 is laid in the with \*\*\*\* film 10 like the above-mentioned method, and it connects with it electrically, and if a resin seal and sheathing plating 9 are given, it will become the structure which shows the cross section in drawing 5 B. Furthermore, if a film 10 is exfoliated giving heating etc., it will become the structure of this example as shown in drawing 5 C. In addition, in case a film 10 is exfoliated on the outside of the external electrode 8 used for this example, it is good to make thin beforehand external wiring 11 connected to an external electrode as shown in the plan of drawing 5 D so that a portion with an excessive conductor may cut simultaneously.

[0012] The cross section of the 3rd example is shown in drawing 6. In the 3rd example, it has the films 10, such as a polyimide, under the die pad 2 which lays a semiconductor chip 1. Although there are not an example mentioned above and a changing place out of it, since only the part of the thickness of the external electrode 8 has a film 10 in a high place to the height of the base of the external electrode 8 used as a part for the connection at the time of substrate mounting in the case of this example, there is an advantage that there is a cleaning effect of the flux after substrate mounting. Moreover, since there is no portion electrically connected with the rear face of a semiconductor chip 1 in the center of a semiconductor device, there is also imitation or an advantage that there is nothing, about which short fault generated at the time of substrate mounting. In addition, although drawing where a die pad 2 exists has explained by this example, on the occasion of operation, it is not not necessarily the need. The creation method of the semiconductor device of the 3rd example is briefly explained using the cross section of drawing 7. In the 3rd example, thin conductors, such as copper foil, are laminated on the films 10, such as a polyimide which the hole opened partially as shown in drawing 7 A, a die pad 2, the internal derivation lead 6, and the external wiring 11 are formed, and it becomes the structure which shows the cross section in it at drawing 7 B when a semiconductor chip 1 is laid in the film 10 to which this conductor was attached like the above-mentioned method, it connects with it electrically and a resin seal and sheathing plating 9 are given to Furthermore, if the film 10 of the semiconductor device circumference is exfoliated giving heating etc., it will become the structure of this example as shown in drawing 7 C. In addition, it is good to make thin beforehand external wiring 11 of the outside of the external electrode 8 like the 2nd example, so that it may be easy to cut in case a film 10 is exfoliated.

[0013] Furthermore, as the 4th and 5th examples, as a cross section is shown in drawing 8, it is created more easily than the example which has also mentioned above the structure which has arranged the external electrode 8 doubly. In the case of the structure of this example, although the size of a semiconductor device becomes somewhat large from the above-mentioned example, since the interval of external electrode 8 comrades is made widely, there is an advantage of being hard to generate the bridge (inter-electrode short-circuit) by the solder at the time of substrate mounting.

[0014] Moreover, it sets in the 3rd example shown in the cross section of drawing 6 as the 6th example. Since the field which minded the rear-face section of a semiconductor chip 1 or resin material other than sealing agent 5 by removing the film 10 in the center section of the completed

semiconductor device as shown in a cross section is made still more highly than the surface of tongue of the external electrode 8 There is an advantage that the cleaning effect at the time of foundation mounting which the 3rd example described by the way goes up more.

[0015]

[Effect of the Invention] Since the rear face of the node of an internal derivation lead was used as the external electrode of a semiconductor device, with the semiconductor device of this invention, the semiconductor device of the size near the size of a semiconductor chip can be offered, so that clearly from the above explanation. Moreover, the semiconductor device of the thickness around about 0.5mm can be offered also about thickness.

---

[Translation done.]



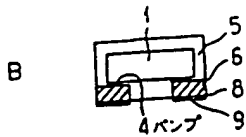
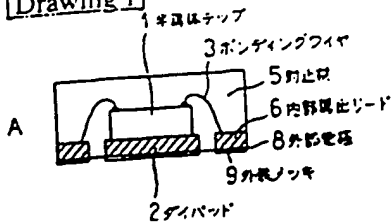
**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

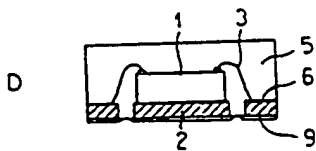
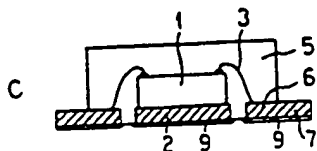
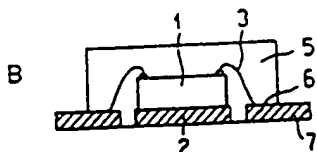
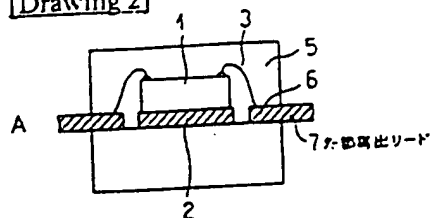
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DRAWINGS**

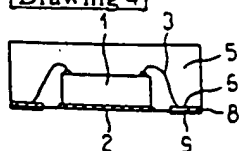
**[Drawing 1]**

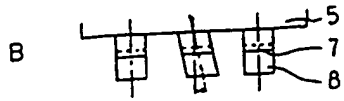
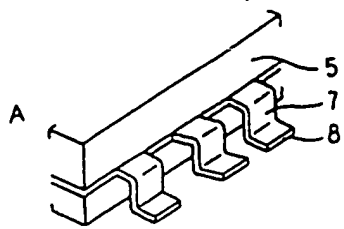


**[Drawing 2]**

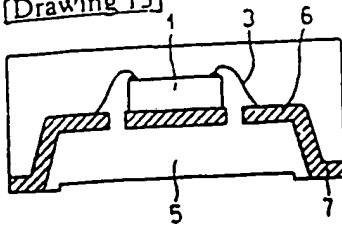


**[Drawing 4]**



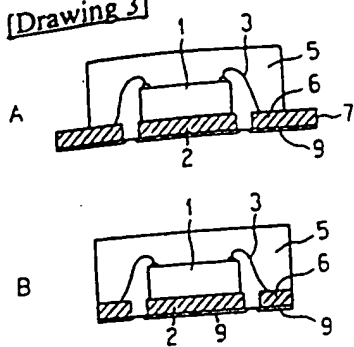


[Drawing 13]

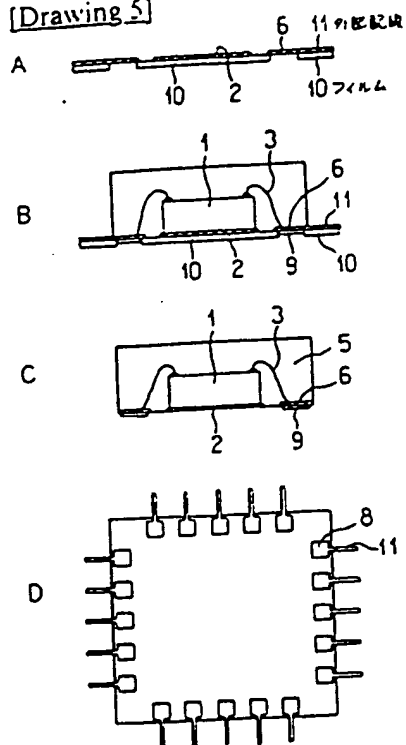


[Translation done.]

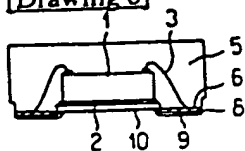
[Drawing 3]



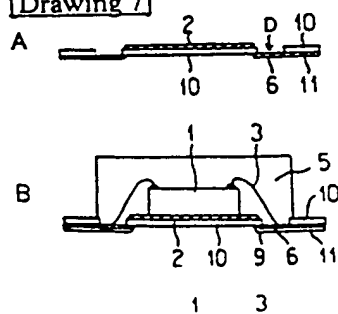
[Drawing 5]



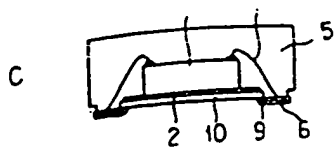
[Drawing 6]



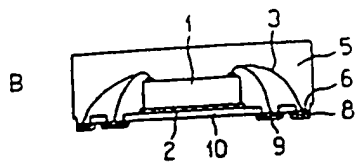
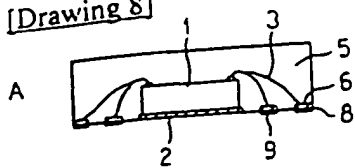
[Drawing 7]



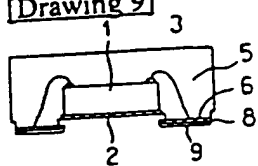
10/01/2003



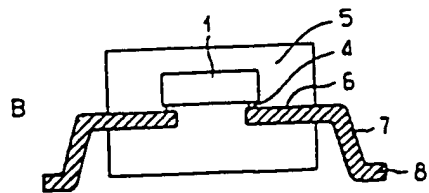
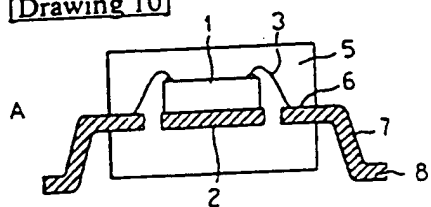
[Drawing 8]



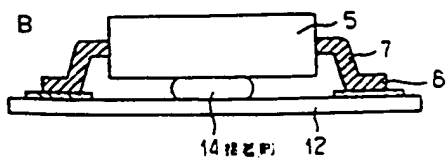
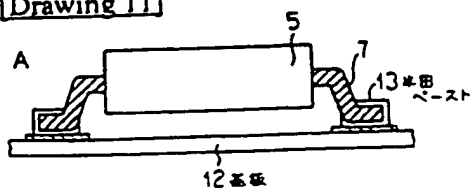
[Drawing 9]



[Drawing 10]



[Drawing 11]



[Drawing 12]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平5-129473

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl. <sup>3</sup>	識別記号	庁内整理 号	F I	技術表示箇所
H 0 1 L 23/28	J	8617-4M		
23/12				
23/28	A	8617-4M		
23/50	N	9272-4M		
		7352-4M		
H 0 1 L 23/12 L				
審査請求 未請求 請求項の数3(全 6 頁) 最終頁に続く				

(21) 出願番号 特願平3-289882

(22) 出願日 平成3年(1991)11月6日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 深澤 博之

東京都品川区北品川6丁目7番35号ソニー

株式会社社内

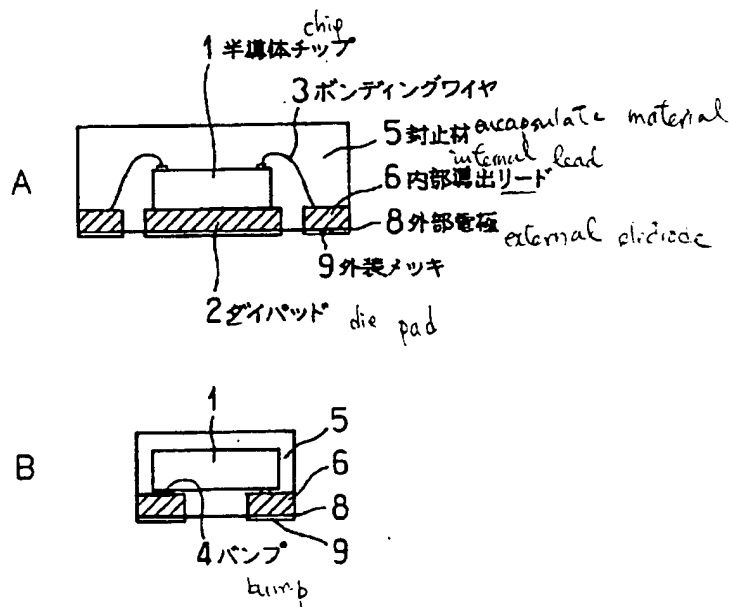
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 樹脂封止表面実装型半導体装置

(57) 【要約】

【目的】 小型化、薄型化可能な半導体装置を提供する。

【構成】 内部導出リード6とダイパッド2が同一平面にあるリードフレームを用い、半導体チップ1とボンディングワイヤ3あるいは bumps 4により電氣的に接続されている内部導出リード6の裏面を、半導体装置の外部との電氣的接続部分として機能する外部電極8とする。



## 【特許請求の範囲】

【請求項1】 半導体素子を搭載し、その素子表面の電極を内部導出リードに配線し、その配線部および前記半導体素子部を樹脂封止してなる樹脂封止表面実装型半導体装置において、前記内部配線の接続される内部導出リードの裏面部が、直接半導体装置を実装する際の外部電極となることを特徴とする樹脂封止表面実装型半導体装置。

【請求項2】 半導体素子の裏面が直接あるいは封止樹脂以外の樹脂材料を介して、半導体装置の外側に露出していることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

【請求項3】 半導体素子の裏面部あるいは封止樹脂以外の樹脂材料を介した面が、外部電極の面よりも一段高く形成されていることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は樹脂封止された表面実装型半導体装置に関するものである。

【0002】

【従来の技術】 従来、表面実装型半導体装置は図10にその一例の断面図で示すように、金属（例えば、42% Ni / Fe 合金で、板厚0.1~0.3mm）でできたリードフレームのダイパッド2に半導体チップ1を搭載し、図10Aに示すように、ボンディングワイヤ3により内部導出リード6に電気的に接続するか、あるいは図10Bに示すように、パンプ4と呼ばれる接続電極によって直接内部導出リード6に電気的に接続する。そして、これらをエポキシ樹脂などの封止材5で封止した後、外部導出リード7および外部電極8を所要の形状に曲げ形成している。

【0003】 そして、図11Aに側面図で示すように、基板12のパターンに半田ペースト13を、あるいは図11Bに示すように、基板12に接着剤14を塗布しておき、これに表面実装型半導体装置を位置合わせして載せる。この基板12を、図11Aのように半田ペースト13を使用した場合には、熱風あるいは赤外線などにより加熱し半田付けする。一方、図11Bのように接着剤14を使用した場合には、半田槽に浸漬して半田付けを行う。

【0004】 しかしながら、前述した表面実装型半導体装置は、図10A、Bに示す封止材5の外側において、外部導出リード7および外部電極8を曲げ加工しているため、この加工精度のバラツキおよび成形後の外部からの力により、図12Aの斜視図に示すように、半導体装置の封止材5の底面に対する外部電極8の下面の高さ方向の位置のバラツキおよび図12Bの平面図に示すように、横方向への外部導出リード7および外部電極8の変形が生じやすい。これらが原因となって前述の基板実装

時、好適な表面実装ができなくなる。または、電氣的に導通できなくなるという課題が発生した。

【0005】 そこで、この課題を解消するため、図13に示した特開平3-3354号公報に開示されている半導体装置のように、外部電極8を封止材5の底面と同一面で、かつ底面と並行に導出した形状が提案されている。

【0006】

【発明が解決しようとする課題】 ところで、近年、電子機器が小型化、薄型化されるにたがって、使用される半導体装置もできるだけ小型化、薄型化をはかるように要求され、現在では封止材の大きさが内部に搭載されている半導体チップの大きさと近くなってきており、また、厚みも1.0mm以下の薄型半導体装置が実用化されてきている。しかし、このような小型、薄型半導体装置において、前述の図13に示す特開平3-3354号公報に記載されているような形状では、大きさも半導体チップサイズよりはるかに大きくなってしまえばかりか、厚さも厚くなってしまおうという課題が発生した。この発明は、外部電極の変形あるいは加工時のバラツキを防止する機構を保ちながら、しかも、小型化、薄型化可能な樹脂封止表面実装型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 先に述べたような課題を解決するために、この発明は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいはパンプにより電氣的に接続される内部導出リードの裏面を、半導体装置の外部との電氣的接続部分すなわち外部電極とした。

【0008】

【作用】 したがってこの発明の樹脂封止表面実装型半導体装置は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいはパンプにより電氣的に接続される内部導出リードの裏面を半導体装置の外部との電氣的接続部分すなわち外部電極としたので、半導体装置の大きさを半導体チップの大きさとほぼ同じ大きさまで小さくすることができる。また、半導体装置の厚みを薄くすることができる。

【0009】

【実施例】 以下、この発明の実施例の樹脂封止表面実装型半導体装置を図面とともに詳述する。図1に第1の実施例の断面図を示す。まず、図1Aは、厚さ0.1~0.3mmのリードフレームのダイパッド2に半導体チップ1を載置し、半導体チップ1と裏面が外部電極8となる内部導出リード6とをボンディングワイヤ3で電氣的に接続させて、その上部を樹脂封止した構造となっている。図1Bは、同様に半導体チップ1と内部導出リード6とをパンプ4で電氣的に接続をさせている例を示

3

す。ボンディングワイヤ3による電氣的接続法よりパンブ4による電氣的接続の方が、その構造上封止材5の大きさをさらに小さくできるという利点があるが、リードフレームの板厚が薄いほど半導体チップ1の下面の樹脂の厚みも薄くなるため、樹脂封止時のボイド（気泡）などの不具合が発生しやすくなる。

【0010】第1の実施例の半導体装置の作成方法を図2、図3の断面図を用いて簡単に説明する。まず、第1の作成方法を図2の断面図で説明する。図2Aに示すように、従来と同様の方法でダイパッド2と内部導出リード6が同一平面上にあるリードフレームを用い、半導体チップ1を載置後その半導体チップ1と内部導出リード6とをボンディングワイヤ3により電氣的に接続を行う。つぎに、エポキシ樹脂などの封止材5を用いて封止する。そして、半導体装置の裏面樹脂部を削り取り図2Bに示す形状にする。その後、基板実装を行う際の半田付け性をよくするために、外部電極8の露出した部分に半田などの外装メッキ9を施すことにより図2Cのようになる。こうしてできた半導体装置の外部導出リード7の外側の余分な部分を金型などを用いて切断すると図2Dに示す本実施例の半導体装置が得られる。つぎに、第2の作成方法を図3の断面図で説明する。第1の作成方法と同様に、半導体チップ1を載置して電氣的に接続した後、上面にのみキャビティ（堀り込み）のある金型で樹脂封止を行うことにより、図3Aに示す形状となる。この後、第1の作成方法と同様に、外装メッキ9および外部導出リード7の切断を行うことにより、図3Bに示す本実施例の半導体装置が得られる。この作成方法の場合、樹脂封止時のバリなどが外装メッキ9を施そうとしている部分に付着していることがあるため、外装メッキ9を施す前に高圧水などによるバリ取りという前処理が必要となるが、第1の作成方法のような硬い封止樹脂を削り取るという作業は省略できる。

【0011】図4に第2の実施例の断面図を示す。構造的には第1の実施例とほとんど変わらないが、半導体チップを載置するダイパッド2および外部電極8の厚みが銅箔などの非常に薄い（約10～30μm）導体で構成されている。本実施例の構造は第1の実施例に比べ半導体装置の厚みを数百μmも薄くすることが可能となる。また、半導体チップ1の裏面が、直接あるいは金属部分を通じて外部に露出している構造となっているので、基板実装後、使用時に半導体装置から発生する熱を逃がしやすいという利点もある。この第2の実施例の半導体装置の作成方法を図5の断面図を用いて簡単に説明する。前述した第1の実施例では、リードフレームを使用するが、本実施例では図5Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部配線11を形成し、この導体付いたフィルム10に、前述の方法と同様に半導体チップ1を載置し

4

て電氣的に接続を行い、樹脂封止および外装メッキ9を施すと図5Bにその断面図を示す構造になる。さらに、加熱などを施しながらフィルム10を剥離すると図5Cに示すような本実施例の構造となる。なお、本実施例に用いられる外部電極8の外側に、フィルム10を剥離する際に導体の余分な部分が同時に切断してしまうように、図5Dの平面図に示したように外部電極に接続される外部配線11をあらかじめ細くしておくことよい。

【0012】図6に第3の実施例の断面図を示す。第3の実施例では半導体チップ1を載置するダイパッド2の下にポリイミドなどのフィルム10を有する。その外には前述してきた実施例と変わるところはないが、本実施例の場合、基板実装時の接続部分となる外部電極8の底面の高さに対し、外部電極8の厚さの分だけ高いところにフィルム10があるため、基板実装後のフラックスの洗浄効果があるという利点がある。また、半導体装置の中央に半導体チップ1の裏面と電氣的に接続される部分がないので、基板実装時に発生するショートなどの不具合をまねかないという利点もある。なお、本実施例ではダイパッド2が存在する図で説明してきたが、実施に際しては必ずしも必要とは限らない。第3の実施例の半導体装置の作成方法を図7の断面図を用いて簡単に説明する。第3の実施例では、図7Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部配線11を形成し、この導体の付いたフィルム10に、前述の方法と同様に半導体チップ1を載置して電氣的に接続を行い、樹脂封止および外装メッキ9を施すと図7Bにその断面図を示す構造になる。さらに、加熱などを施しながら半導体装置周辺のフィルム10を剥離すると図7Cに示すような本実施例の構造となる。なお、第2の実施例と同様に外部電極8の外側の外部配線11を、フィルム10を剥離する際、切断しやすいようにあらかじめ細くしておくことよい。

【0013】さらに、第4および第5の実施例として、図8に断面図を示すように、外部電極8を2重に配置した構造も、前述してきた実施例より容易に作成される。本実施例の構造の場合、前述の実施例より半導体装置の大きさは少し大きくなるが、外部電極8同士の間隔が広くできるために基板実装時の半田によるブリッジ（電極間ショート）が発生しにくいという利点がある。

【0014】また、第6の実施例として図6の断面図に示した第3の実施例において、完成した半導体装置の中央部にあるフィルム10を除去することにより、図9に断面図に示すように、半導体チップ1の裏面部あるいは封止材5以外の樹脂材料を介した面が、外部電極8の下面よりさらに高くできるので、第3の実施例のところで述べた地盤実装時の洗浄効果がよりあがるという利点がある。

【0015】

5

【発明の効果】以上の説明から明らかなように、この発明の半導体装置では内部導出リードの接続点の裏面を半導体装置の外部電極としたので、半導体チップの大きさに近い寸法の半導体装置を提供できる。また、厚みに関しても、約0.5mm前後の厚みの半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の断面図。

【図2】第1の実施例の半導体装置の第1の作成方法を説明する断面図。

【図3】第1の実施例の半導体装置の第2の作成方法を説明する断面図。

【図4】この発明の第2の実施例の断面図。

【図5】第2の実施例の半導体装置の作成方法を説明する断面図。

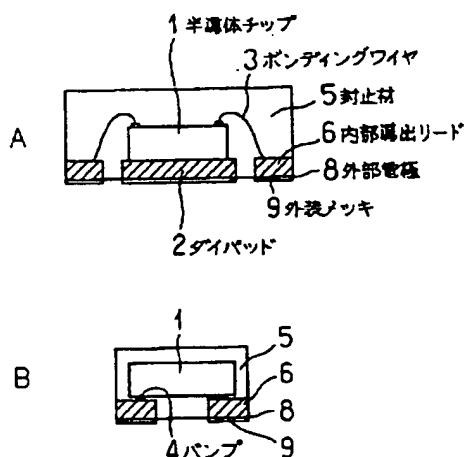
【図6】この発明の第3の実施例の断面図。

【図7】第3の実施例の半導体装置の作成方法を説明する断面図。

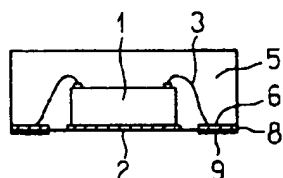
【図8】この発明の第4および第5の実施例の断面図で、Aは第4の実施例、Bは第5の実施例である。

【図9】この発明の第6の実施例の断面図。

【図1】



【図4】



6

【図10】従来例の表面実装型半導体装置の断面図。

【図11】従来例の表面実装型半導体装置を基板に実装した状態の断面図。

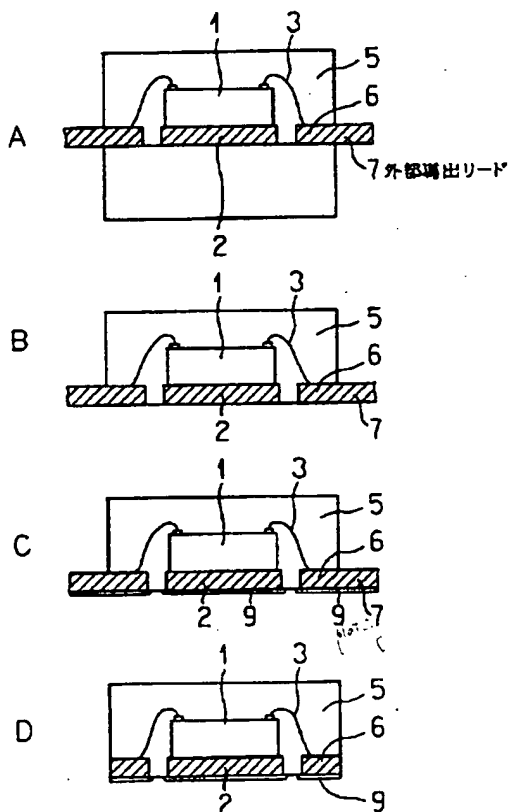
【図12】従来例の表面実装型半導体装置の外部導出リードの変形状態を示した説明図で、Aは斜視図、Bは平面図である。

【図13】従来例の表面実装型半導体装置の断面図である。

【符号の説明】

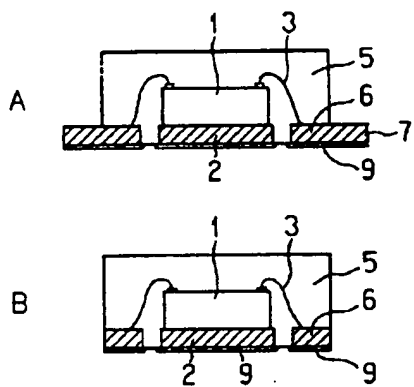
- |    |             |
|----|-------------|
| 10 | 1 半導体チップ    |
|    | 2 ダイパッド     |
|    | 3 ボンディングワイヤ |
|    | 4 パンプ       |
|    | 5 封止材       |
|    | 6 内部導出リード   |
|    | 7 外部導出リード   |
|    | 8 外部電極      |
|    | 9 外装メッキ     |
| 20 | 10 フィルム     |
|    | 11 外部配線     |

【図2】

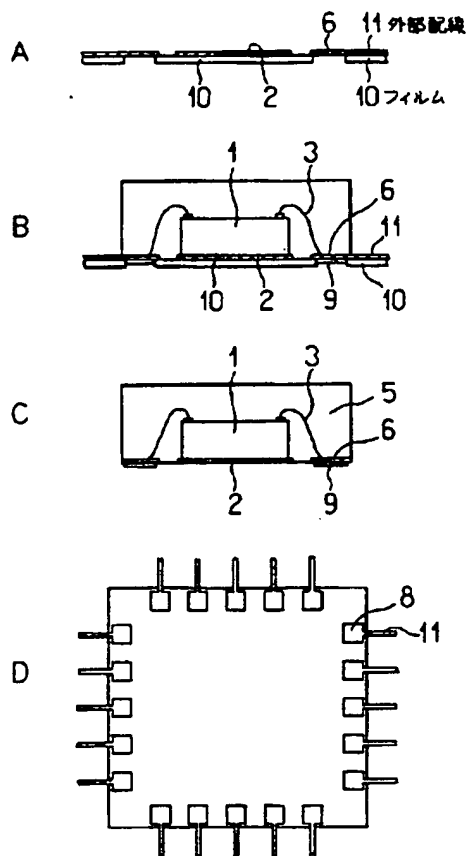




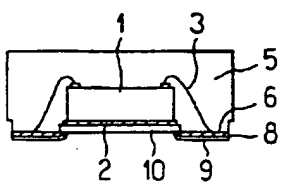
【図3】



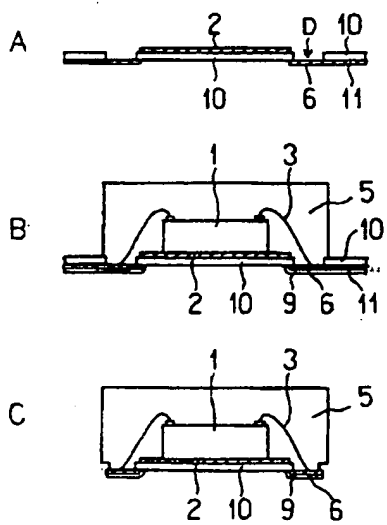
【図5】



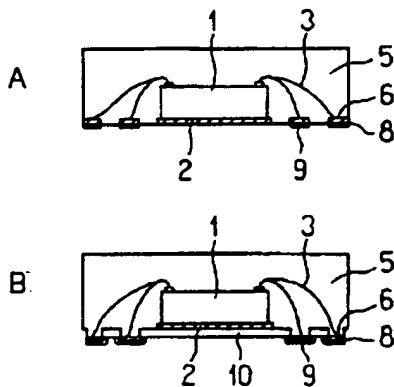
【図6】



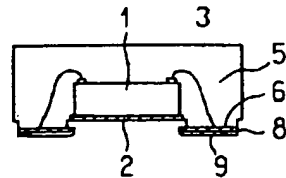
【図7】



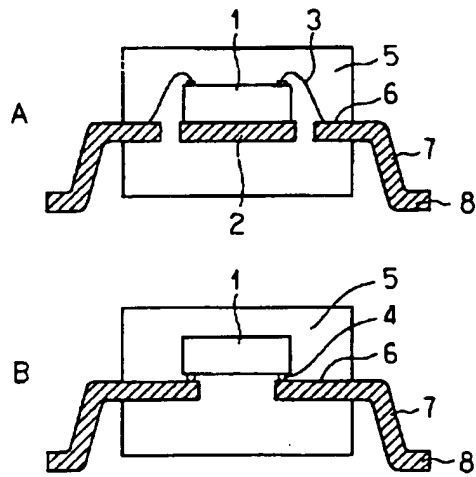
【図8】



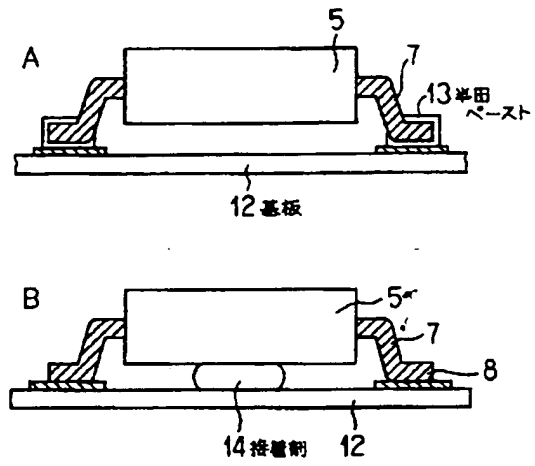
【図9】



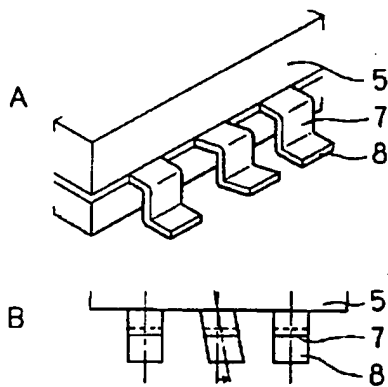
【図10】



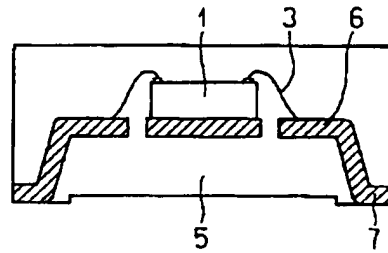
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
H01L 23/50

識別記号 庁内整理番号  
G 9272-4M  
R 9272-4M

F I

技術表示箇所

# **Abstract of Japanese Patent Office Gazette**

No. S60-195957

## **LEAD FRAME**

Inventor: Tanigawa Takahiro, et al.  
Applicant: Hitachi Ltd.  
Filed: Mar. 19, 1984  
Disclosed: Oct. 4, 1985

**PURPOSE:** To improve the contacting property between a lead frame and a resin and to enhance the sealability and the reliability by stepwisely forming the side of the lead frame, and increasing the contacting surface with the resin.

**CONSTITUTION:** Projections 8, 15 are formed on tabs 4, 13 of a lead frame, tab hanging lead 5 and the sides of leads 6, 14. The projection 8 is formed by a suitable method. The lead frame 12 is, for example, composed of 42-alloy. A semiconductor chip 9 is formed, for example, of silicon single crystal substrate, many circuit elements are formed in the chip by the know technique, and one circuit function is formed. A resin sealer 11 is formed, for example, of epoxy resin, and molded by a known transfer molding method.

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 平4-98864

⑬ Int.Cl.<sup>5</sup> 識別記号 庁内整理番号 ⑭ 公開 平成4年(1992)3月31日  
H 01 L 23/50 Y 9054-4M

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 樹脂封止型半導体装置

⑯ 特 願 平2-216146

⑰ 出 願 平2(1990)8月16日

⑱ 発 明 者 高 崎 由 佳 子 熊本県熊本市八幡町100番地 九州日本電気株式会社内  
⑲ 出 願 人 九州日本電気株式会社 熊本県熊本市八幡町100番地  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

樹脂封止型半導体装置

特許請求の範囲

半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置において、前記外部リードの側面より閉合う外部リードへ向けて突出した支持部と、閉合う前記支持部の間に介在させて閉合う支持部を互に連結する絶縁体とを備えたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は樹脂封止型半導体装置に関する。

〔従来の技術〕

従来の樹脂封止型半導体装置は、図5図及び第

6図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2に接続して樹脂封止領域3の外側に設けた外部リード4と、閉合う外部リード4の相互間を接続して支持するタイバー5とを有してリードフレームを構成し、アイランド1の上に半導体チップを搭載して樹脂体8で封止し、外部リード4をリードフレームから切断し、タイバー5を切断し、外部リード4を露出させて半導体装置を形成する。

〔発明が解決しようとする課題〕

上述した従来の樹脂封止型半導体装置は、外部リードが樹脂体より平行に矢々並立して導出されているので、外部リードが曲がる等の変形を生じ実装時に半田付の信頼性が低下するという欠点がある。

〔課題を解決するための手段〕

本発明の樹脂封止型半導体装置は、半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置にお

いて、前記外部リードの側面より隔てられ外部リードへ向けて突出した支持部と、隔合う前記支持部の間に介在させて隔合う支持部を互に連絡する絶縁体とを備えている。

(実施例)

次に、本発明について図面を照して説明する。

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図である。

第1図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2と接続して絶縁防止領域3の外側に設けた外部リード4と、絶縁防止領域3の近傍に設けて外部リード4の相互間を接続して支持するタイバー5と、絶縁防止領域3より離れた位置の外部リード4の側面より隔合う外部リードへ向けて突出し、且つ先端が互に入り組むように凸部と凹部に形成された支持部6と、隣接する支持部6の間に介在させて支持部6を互に連絡する絶縁体7とを有してリー

ドフレームが構成される。

次に、第2図に示すようにアイランド上に半導体チップ（図示せず）を搭載し、半導体チップと内部リード間を電気的に接続し、絶縁体8により絶縁防止領域内を封止し、リードフレームより外部リード4及びタイバーを切除し、外部リード4を整形して半導体装置を構成する。

第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図である。

第3図及び第4図に示すように、隔合う外部リード4の側面に設けた支持部6が絶縁防止領域3の近傍に設けられ、タイバー5が支持部6の外側に設けられている以外は第1の実施例と同様の構成を有しており、支持部6を連絡する絶縁体7を絶縁防止工程と同時に形成でき、製造工程を簡略できる効果を有する。

(発明の効果)

以上説明したように本発明は、外部リードの側面に設けた支持部の間に絶縁体を介在させて隔合

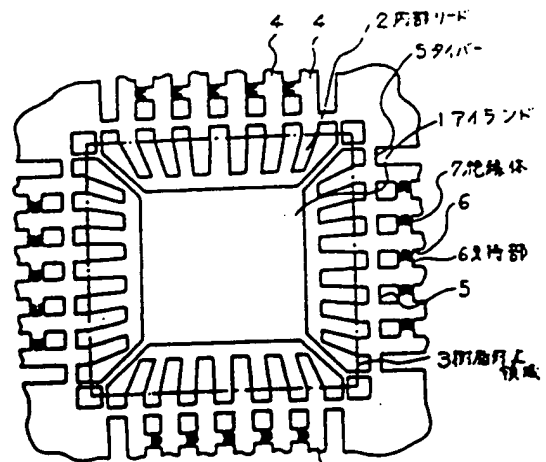
う外部リード相互間を連絡することにより、外部からの衝撃によるリード変形の防止、及び実装時の半田付の信頼性を向上させるという効果を有する。

図面の簡単な説明

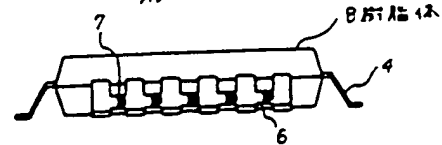
第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図、第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図、第5図及び第6図は従来のリードフレームの一例を示す平面図及び半導体装置の側面図である。

1…アイランド、2…内部リード、3…絶縁防止領域、4…外部リード、5…タイバー、6…支持部、7…絶縁体、8…絶縁体。

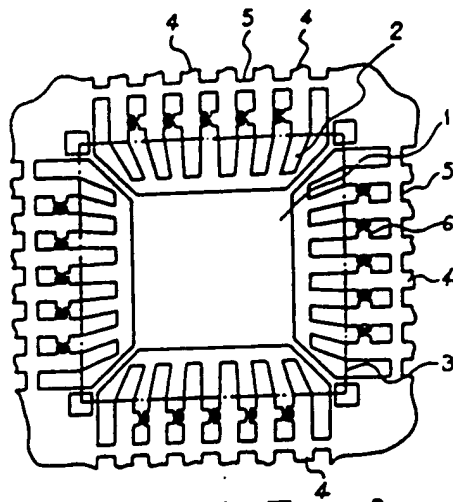
代理人 弁理士 内 原 晋



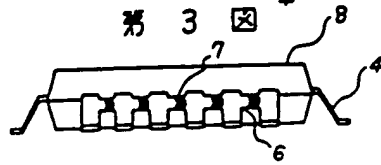
第1図



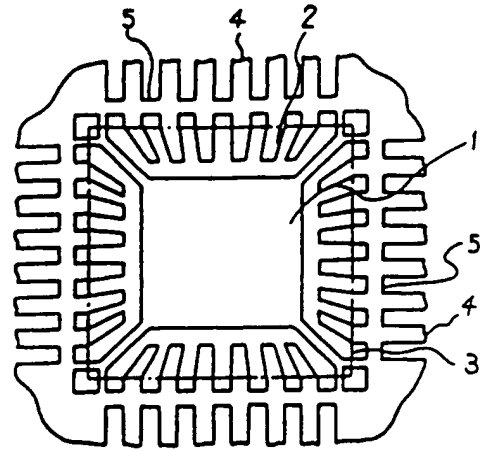
第2図



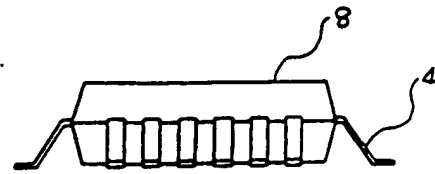
第 3 図



第 4 図



第 5 図



第 6 図

CLIPPEDIMAGE= JP401106456A  
PAT-NO: JP401106456A  
DOCUMENT-IDENTIFIER: JP 01106456 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 24, 1989

INVENTOR-INFORMATION:

NAME

KURODA, HIROSHI

TAKASE, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP62263435

APPL-DATE: October 19, 1987

INT-CL (IPC): H01L023/50; H01L023/28

US-CL-CURRENT: 257/666,257/787

ABSTRACT:

PURPOSE: To make an electrode terminal not to come off due to external force and thermal strain by providing the end surface of a lead frame substrate with a stair part having more than one step and performing molding with sealing resin in a shape of covering the stair part.

CONSTITUTION: An IC chip 16 is mounted on the other main surface 14 of a die pad 11, and a pad of the IC chip and the other main surface 14 of an electrode terminal 12 are bonded with a wire 17 so as to be continuously molded with sealing resin 18 on the almost level with one main surface 13 by a transfer method so that the electrode terminal and the main surface 13 of the die pad 11 may be exposed. At this time, a stair part 15 provided on a lead frame 20 is also covered with sealing resin 18. Thereby, a reinforcing bar 19 exposed to an end surface of sealing resin 18 is also of the same projection type so as to have very strong structure against coming-off even to external force.

① 日本国特許庁(JP) ① 特許出願  
② 公開特許公報(A) 平1-10

③ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ④ 公開 平成1年(19  
H 01 L 23/50 G-7735-5F  
23/28 A-6835-5F 審査請求 未請求 発明の数 1

⑤ 発明の名称 半導体集積回路装置

⑥ 特 願 昭62-263435

⑦ 出 願 昭62(1987)10月19日

⑧ 発 明 者 黒 田 啓 大阪府門真市大字門真1006番地 松下電器産業  
⑨ 発 明 者 高 瀬 善 久 大阪府門真市大字門真1006番地 松下電器産業  
⑩ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑪ 代 理 人 弁理士 中尾・敏男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

複数の電極端子を有するリードフレームの一主面の面積が、他の主面より狭く、このリードフレームの断面形状は少なくとも一段以上の段差を持つ段差部を有するものであり、半導体集積回路は他の主面にマウントされ、少なくとも電極端子の一主面を露出した形で一主面とほぼ平面に封止樹脂が成形されている半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路をパッケージした半導体集積回路装置に関するものである。

従来の技術

ポータブルな情報ファイルとしてのICカードはカードの一面にメモリ、マイクロプロセッサを有する半導体集積回路装置を埋込んで、リーダライタを介して情報を書き込み、読み出し、消去

する演算機能を持っているが、150規格カード厚みは最大0.84ミリとされており半導体集積回路装置は更に厚くしかも厚み強く要求される。

当初半導体集積回路装置の基板はガラスを基体とする両面基板が主眼であったが、スエボキシ基板ではICカード用半導体集積回路装置に要求する厚み精度を十分に満足させてはなかった。

そこでガラススエボキシ基板の代りに厚みよく半導体集積回路装置の貼厚の厚み精度をせられるリードフレームを基板とするICカード用半導体集積回路装置が提案された。このICカード用半導体集積回路装置の構造を第4図に説明する。

複数の電極端子1とアイパッド2を有するリードフレーム8の上記アイパッド2にICチップ3がマウントされ、上記ICチップ3のバンプ(図示せず)と上記電極端子1がワイヤ4で接続されており、少なくとも上記電極端子1の



5を露出した形で、しかも上記一主面8とはほぼ平坦に封止樹脂6がトランスファ成形法により成形された造となっている。

ところが上記電極端子1の上記一主面8は外部に露出し、上記電極端子1の露い側面を含む片面しか上記封止樹脂6を被膜していない。通 トランスファ成形法で成形する上記封止樹脂6の中には成形金型との離形性をよくするために、離形剤が入れられていることから、当然上記電極端子1と上記封止樹脂6との密着性は悪いものではない。この問題点を解決する方法として、上記封止樹脂6と接触する他の主面7を粗面化したり、上記電極端子1の一主面8の面積を他の主面7の面積より狭くして(エッジにテーパをつけ台形状とする)密着性の向上を図っている。

発明が解決しようとする問題点

このような半導体集積回路装置に用いるリードフレーム8の厚味は、半導体集積回路装置に露出の制限があることから0.15ミリ以下が通常用いられる。ところが封止樹脂6とリードフレーム8

の他の主面7との密着性を強化するために、リードフレーム8の断面をテーパ加工し、わずかに封止樹脂6でリードフレーム8を覆う形としているが、リードフレーム8の厚味が0.15ミリと非常に薄いため、封止樹脂6でリードフレーム8の端面を一部覆う形とした場合でもせいぜい厚味分の0.15ミリ程度しか覆うことができず、端面にテーパをつけても封止樹脂6に対するリードフレーム8の密着強度を著しく向上させることはできなかった。また前にも述べたが封止樹脂6には離形剤が入っているため、リードフレーム8との密着性が悪く、例えば熱衝撃試験を行った時に発生する熱的ひずみによりリードフレーム8が割れる可能性も生じてくる。更にトランスファ成形後リードフレーム8の補強バーを封止樹脂6の端面に沿ってほぼ平坦に金型にて切断して断片の半導体集積回路装置にするわけであるが、補強バーの切断面は金型で切断する際、わずかなバリが発生することと、完全に封止樹脂6の端面と平坦にすることは不可能で、わずかに切断面が突き出る形と

なる。この状態でカード化しカードの携帯中あるいは使用中に何らかの異物が切断面にできたバリ、あるいは電極端子自体にひっかり電極端子をはがしてしまう可能性がある。このように電極端子がはがれたり、変形するとICカードとしての機能が全く失われることになる。

本発明は上記問題点を鑑み、外的な力、熱ひずみ等に対しても電極端子がはがれて使用不能にならないようなリードフレームの構造を提供するものである。

問題点を解決するための手段

そして上記問題点を解決する本発明の技術的手段は、リードフレームの一主面の面積を他の主面より狭くし断面形状を凸型として一主面とほぼ平坦に封止樹脂を成形し、リードフレームの端面を所定の距離、厚さでほぼ全辺にわたって封止樹脂で覆うように構成したものである。

作用

この構成により電極端子のほぼ全辺が封止樹脂で被覆されていることから、電極端子を剥す外力

からの力加わらず、また熱衝撃試験等による熱ひずみに対しても電極端子が割れることがないため信頼性の高い半導体集積回路装置を作ることが可能となる。

実施例

以下本発明の一実施例について図面を用いながら説明する。第2図a、bは本発明に用いたリードフレームの構造を示す。第2図aは上面図、第2図bはA-A'をみた断面図である。ダイパッド11、複数本の電極端子12で構成されており、上記ダイパッド11及び上記電極端子12の外部に露出する一主面13の面積は他の主面14より狭く、少なくとも封止樹脂で覆われる部分のリードフレーム20の断面は凸型の段差部15が設けられている。ちなみにリードフレーム20の肉厚が0.15ミリの場合上記段差部15の高さは0.5ミリ、厚さは0.1ミリとした。上記段差部15の断面形状は段差が1段のみならず複数段形成されていてもかまわない。以上はダイパッド11が複数本の電極端子12の少なくとも1本と接続されてい

る構造のリードフレームである。このリードフレーム20の作製方法は一実施例として、まずプレス機でストレートにパンチングした後続いて別の金型を用い同じくプレス機によりリードフレーム20の端面のみをプレスし所定の量だけ段差部15を作った。他の方法としてエッチングによる方法でも同様の段差部15を作ることとは可能である。以上の説明はICチップを搭載するダイパッド11を有するリードフレーム20であるが、ダイパッド11の無い電極端子12のみのリードフレームでもかまわない。

以上述べた取付けリードフレーム20を用いた半導体集積回路装置の製造プロセスを第3図a~cに示す。これは第2図のA-A'の断面を採わずものである。ダイパッド11の他の主面14にICチップ16をマウントし、上記ICチップ16のパッド(図示せず)と上記電極端子12の他の主面14をワイヤ17で接続し(第3図b)、続いてトランスファ成形法にて上記電極端子12、及びダイパッド11の一主面13を露出させる。

のではなく、パンチングを利用したフリップチップボンディング方式でもかまわない。また同時にリードフレーム20の他の主面側をエッチング、サンドブラストメッキ法等で粗面化処理が施こされていても良い。更にダイパッド11が無いICチップ16が電極端子12にかかるとなりリードフレーム20を用いる場合はICチップ16をマウントするダイボンド樹脂は絶縁性であることはいうまでもない。

#### 発明の効果

本発明の半導体集積回路装置はリードフレーム基板上の端面に1枚以上の段差部を設け、段差部を覆う形で封止樹脂にて成形しているため、外的な力にも電極端子は割れにくく、熱衝撃試験等の熱ひずみに対しても、電極端子ははがれないことから、信頼性の高いものを得ることが可能となる。

#### 4、図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例における電極端子部の拡大所視図、第2図a、bは本発明に用いたリードフレームの構造を示す

とく、上記一主面13とはほぼ平坦に封止樹脂18で成形する(第3図b)。この時リードフレーム20に設けられた段差部15も上記封止樹脂18で覆われる形となる。更に金型を用いて上記封止樹脂18の端面に沿って補強バー19を切断して個々の半導体集積回路装置とする(第3図c)。以上の述べた半導体集積回路装置の電極端子部の拡大図を第1図に示す。この第1図によれば電極端子12の一主面と封止樹脂18はほぼ平坦に成形されており、封止樹脂18に埋没した電極端子12の一部は、露出している一主面より広がっている構造となっている。このことは、電極端子12の端面に形成されている段差部15を完全に封止樹脂18が覆っていることになり、封止樹脂18の端面に露出している補強バー19も同様の凸型であることから外的な力に対しても非常に割れに強い構造となっている。

以上述べてきた実施例の中でICチップ16のパッドと電極端子12の接続にワイヤ17を用いているが、ワイヤボンディング法に限定するも

上面図と断面図、第3図a~cは本発明の半導体集積回路装置の製造フローを示す断面図、第4図は従来のリードフレームを用いた半導体集積回路装置の構造を示す断面図である。

12……電極端子、13……一主面、14……他の主面、15……段差部、16……ICチップ、17……ワイヤ、18……封止樹脂、19……補強バー、20……リードフレーム。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

图 2

图 1

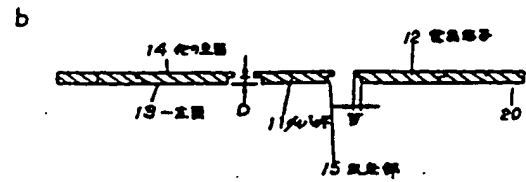
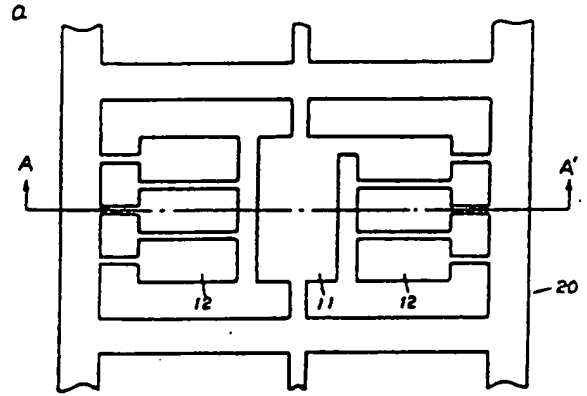
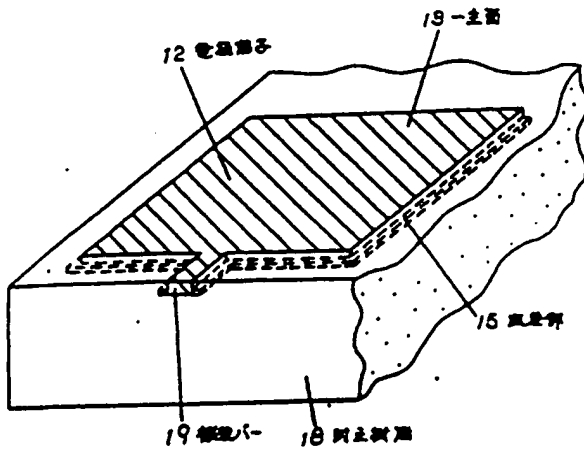


图 3

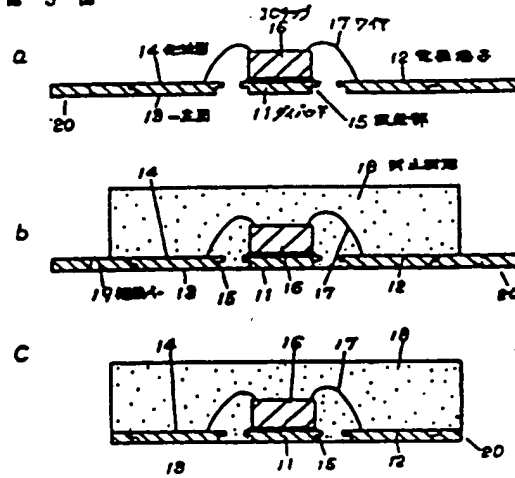


图 4

